



(19)

(11) Publication number:

05021738 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 03172734

(51) Intl. Cl.: H01L 27/092

(22) Application date: 12.07.91

(30) Priority:

(43) Date of application
publication: 29.01.93(84) Designated
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: HARA TAKEHIKO

(74) Representative:

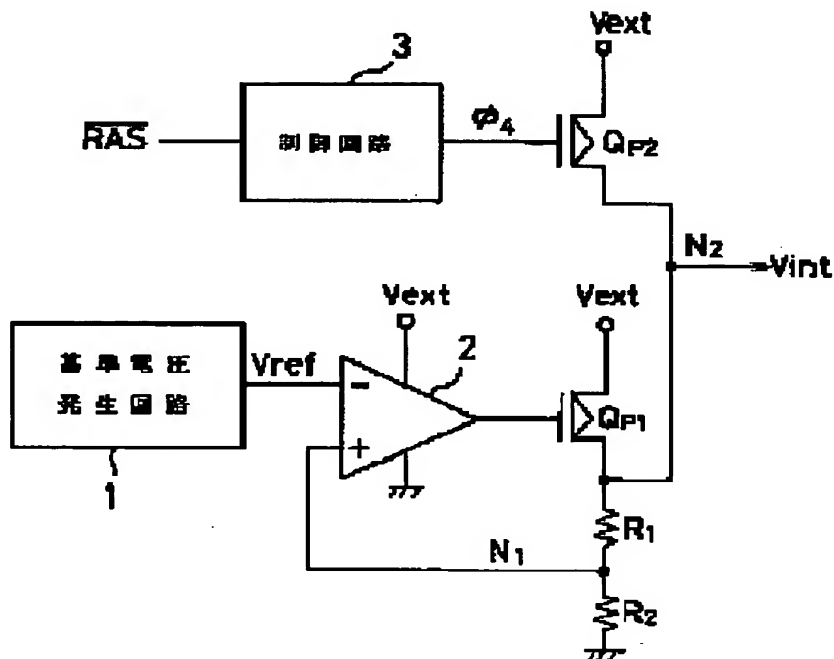
(54) SEMICONDUCTOR
INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To provide a semiconductor integrated circuit having a power supply voltage drop circuit which makes it possible to offer stabilized internal power supply voltage not affected by consumption current changes of the internal circuit without increasing the power consumption of an integrated circuit chip.

CONSTITUTION: In parallel to an output transistor Qp1, an output current compensation transistor Qp2 is installed to a power supply voltage drop circuit having a reference voltage generation circuit 1, an output transistor Qp1 to obtain an internal power supply voltage by the drop of an external power supply voltage, and a differential amplification circuit 2 which controls the output transistor Qp1 so as to fix the ratio between the internal power supply voltage and the reference voltage of the reference voltage generation circuit 1. Furthermore, there is installed a timing control circuit 3 which drives this output current transistor Qp2 at a specified timing.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-21738

(43)公開日 平成5年(1993)1月29日

(51)IntCl⁵

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/ 08

3 2 1 L

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平3-172734

(22)出願日 平成3年(1991)7月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 原 毅彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

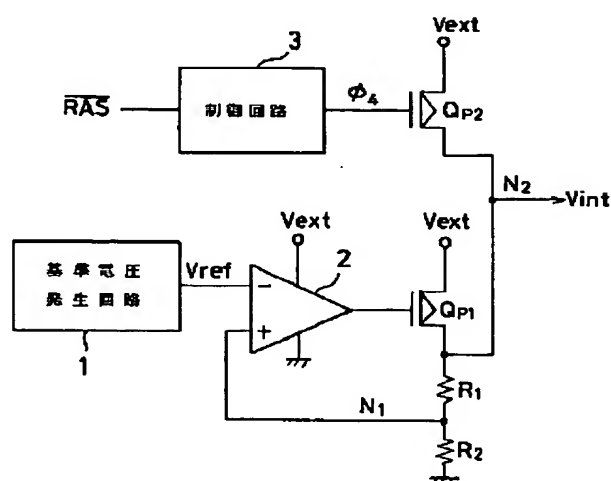
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】集積回路チップの消費電力増大をもたらすことなく、内部回路の消費電流変化によらず安定した内部電源電圧を与えることを可能とした電源電圧降下回路を有する半導体集積回路を提供することを目的とする。

【構成】基準電圧発生回路1と、外部電源電圧を降下して内部電源電圧を得るための出力トランジスタQp1、および内部電源電圧と基準電圧発生回路1の発生する基準電圧との比が一定になるように出力トランジスタQp1を制御する差動増幅回路2を持つ電源電圧降下回路に対して、出力トランジスタQp1に並列に出力電流補償用トランジスタQp2を設け、かつこの出力電流補償用トランジスタQp2を所定のタイミングでオン駆動するタイミング制御回路3を設けた。



1

【特許請求の範囲】

【請求項1】第1の電源電圧から所定電圧降下した第2の電源電圧を発生する電源電圧降下回路を有する半導体集積回路において、前記電源電圧降下回路は、前記第2の電源電圧の基準となる基準電圧を発生する基準電圧発生回路と、

前記第1の電源電圧から所定電圧降下した第2の電源電圧を出力するための出力トランジスタと、

前記基準電圧と前記第2の電源電圧を比較してその比を一定に保つように前記出力トランジスタを制御する差動増幅回路と、

前記出力トランジスタと並列接続された出力電流補償用トランジスタと、

前記出力電流補償用トランジスタを所定タイミングでオン駆動するタイミング制御回路と、

を備えたことを特徴とする半導体集積回路。

【請求項2】前記第1の電源電圧が外部電源電圧であり、前記第2の電源電圧が内部電源電圧であり、前記出力トランジスタおよび出力電流補償用トランジスタはソースに外部電源電圧が供給され、ドレインを内部電源電圧出力端子としたPMOSTランジスタであることを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧降下回路を内蔵した半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体技術の進歩、とくに微細加工技術の進歩により、半導体メモリ等の分野で素子の微細化が著しい。このため、素子の信頼性や消費電力を考えると、素子に印加する電源電圧を低下させることが望ましい。現実大容量DRAMにおいては、これまでの5V電源から3.3V電源への切替えが行われようとしている。

【0003】しかしながら、現在使用されている半導体メモリを用いてシステムを構成している使用者にとっては、新しいメモリを組み込んだ場合にもシステムの整合性上、外部電源電圧を変更しないで済ませることが望ましい。そのため、メモリ・チップ内に電源電圧降下回路を設けて、外部電源電圧は従来通りのままで、内部回路の大部分に降圧した内部電源電圧を供給する方式が考えられている。

【0004】図7は、その様な集積回路に内蔵される電源電圧降下回路の構成例である。この電源電圧降下回路は、基準電圧 V_{ref} を発生する基準電圧発生回路1、差動増幅回路2、外部電源電圧 V_{ext} から一定レベル降下した内部電源電圧 V_{int} を得るためのPMOS出力トランジスタ Q_p 等により構成される。基準電圧発生回路1は、外部電源電圧がある一定値以上になると、外部電源電圧 V_{ext} に依存しない一定の基準電圧 V_{ref} を発生す

2

る回路である。この基準電圧 V_{ref} が差動増幅回路2の参照入力ノードに与えられる。内部電源電圧 V_{int} の出力ノードN2となるPMOSTランジスタ Q_p のドレインは、内部電源電圧 V_{int} を基準電圧 V_{ref} から所定レベル上に設定するためのレベルシフト回路となる抵抗 R_1 、 R_2 を介して接地電位 V_{ss} に設定されている。この抵抗 R_1 、 R_2 の接続ノードN1の電圧が差動増幅回路2の入力ノードに帰還される。

【0005】この電源電圧降下回路によれば、基準電圧 V_{ref} を元に、次式で表されるように、外部電源電圧 V_{ext} がある一定値以上になると外部電源電圧に依存しない内部電源電圧 V_{int} が得られる。

$$V_{int} = V_{ref} \cdot (R_1 + R_2) / R_2$$

【0006】この様な電源電圧降下回路を用いて、集積回路チップが動作した時の内部電源電圧 V_{int} を安定な一定値に保つためには、回路の電流供給能力を十分に大きくし、かつ優れた応答速度を持たせることが必要である。そうしないと、内部電源電圧 V_{int} が与えられる回路の消費電流の変化によって内部電源電圧 V_{int} が設定値より一時的に大きく落ち込んだり、或いはオーバーシュートしたりするからである。

【0007】具体的に例えば、DRAMの場合を考える。DRAM内の回路をその動作タイミングの点で大きく分けると、二種類になる。一つは、ロウ・アドレス・ストロブ信号($/RAS$)の変化でチップが動作状態或いは非動作状態になると、チップ外部から入力される制御信号に依存しないで、常に $/RAS$ の変化から同じタイミングで動作する回路であり、もう一つは、アドレス入力信号等の $/RAS$ 以外の制御信号の変化に伴って動作する回路である。前者にはロウ・アドレス・バッファ、ロウ・デコーダ、ワード線ブートストラップ回路、ビット線センス・リスタ回路、等のロウ系回路があり、後者にはカラム・アドレス・バッファ、カラム・デコーダ、出力バッファ等のカラム系回路がある。

【0008】この様なDRAMにおいて、例えば $/RAS$ の変化からアドレスの切り替えまでの時間が短く、ロウ系の回路とカラム系の回路の動作が重なった時に大きなピーク電流が流れる。したがってこの様なDRAMに前述の電源電圧降下回路を内蔵した場合、電源電圧降下回路の電流供給能力が小さいと、大きなピーク電流が流れるときに内部電源電圧 V_{int} が低下して回路動作に支障を来す。

【0009】この様な不都合を防止するためには、電源電圧降下回路の出力トランジスタ Q_p の電流供給能力を十分に大きく保つこと、具体的には出力トランジスタ Q_p のゲート幅を十分大きく設計する事が必要であり、また応答速度を十分速くするためには差動増幅回路1に流す電流を十分に大きくする事が必要である。

【0010】しかしながら、この様に電源電圧降下回路の電流供給能力を十分に大きく、かつ応答速度を十分に

速くすると、それだけ回路の消費電流が大きくなり、集積回路チップ自体の消費電力も大きくなってしまふ。

【0011】

【発明が解決しようとする課題】以上のように、従来の構成の電源電圧降下回路に十分な性能を発揮させようとすると、集積回路チップの消費電力が大きくなる、という問題があった。

【0012】本発明は、集積回路チップの消費電力増大をもたらすことなく、内部回路の消費電流変化によらず安定した内部電源電圧を与えることを可能とした電源電圧降下回路を有する半導体集積回路を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、基準電圧発生回路と、第1の電源電圧を降下して第2の電源電圧を得るための出力トランジスタ、および第2の電源電圧と基準電圧発生回路の発生する基準電圧との比が一定になるように出力トランジスタを制御する差動増幅回路を持つ電源電圧降下回路に対して、出力トランジスタに並列に出力電流補償用トランジスタを設け、かつこの出力電流補償用トランジスタを所定のタイミングでオン駆動するタイミング制御回路を設けたことを特徴とする。

【0014】

【作用】本発明によると、定常状態においては従来と同様の構成の電源電圧降下回路によって第1の電源電圧（例えば外部電源電圧）から降下した第2の電源電圧（内部電源電圧）が発生される。タイミング制御回路は、チップの動作状態に応じてあらかじめ定められた一定の条件で内部回路が大きな消費電流を必要とする時のみ働いて、出力電流補償用トランジスタをオンにする。これにより、一時的に大きな消費電流が流れる時に電源電圧降下回路の電流供給能力を十分大きく保つことができ、内部回路に与えられる電源電圧の低下を防止ないし抑制することができる。

【0015】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。図1は、本発明の一実施例に係るDRAMに内蔵される電源電圧降下回路の構成である。従来の図7と対応する部分には図7と同一符号を付してある。

【0016】基準電圧発生回路1、差動増幅回路2およびPMOS出力トランジスタQp1の部分は、従来の構成と変わらない。基準電圧発生回路1は、外部電源電圧Vextがある一定値以上になると、外部電源電圧Vextに依存しない一定の基準電圧Vrefを発生する回路である。この基準電圧Vrefが差動増幅回路2の参照入力ノードに与えられる。PMOS出力トランジスタQp1のソースに外部電源電圧Vextが与えられ、内部電源電圧Vintの出力ノードN2となるPMOS出力トランジスタQpのドレインは、内部電源電圧Vintを基準電圧Vrefから所定レベル上に設定するためのレベルシフト回路

となる抵抗R1、R2を介して接地電位Vssに設定されている。この抵抗R1、R2の接続ノードN1の電圧が差動増幅回路2の入力ノードに帰還される。

【0017】この電源電圧降下回路により、前述のように基準電圧Vrefを元に、外部電源電圧Vextがある一定値以上になると外部電源電圧に依存しない内部電源電圧Vintが得られる。

【0018】PMOS出力トランジスタQp1には、並列に出力電流補償用のPMOSトランジスタQp2が設けられている。この出力電流補償用PMOSトランジスタQp1のゲートを制御する回路として、/RASを入力とするタイミング制御回路3が設けられている。

【0019】図2は、基準電圧発生回路1の最も簡単な構成例である。外部電源電圧Vextと接地電位Vssの間に、抵抗R11、R12、およびダイオードD1、D2が直列接続されて構成される。

【0020】図3は、差動増幅回路2の構成例である。これは図示のように、能動負荷となるPMOSトランジスタQp3、Qp4と、差動のドライバとなるNMOSトランジスタQn1、Qn2、および電流源により構成されたカレントミラー型CMOS差動増幅回路である。参照入力ノードであるNMOSトランジスタQn1のゲートに基準電圧発生回路1からの基準電圧Vrefが入力され、信号入力ノードであるNMOSトランジスタQn2のゲートに出力部の抵抗R1、R2の接続ノードN1の電圧が入力される。

【0021】図4は、タイミング制御回路3の構成例である。これは、/RASの変化を検出して、/RASが“H”レベルから“L”レベルになった時、および“L”レベルから“H”レベルになった時にそれぞれ所定時間、出力クロックφ4を“L”レベルにする回路であって、遅延回路51、53、インバータ52、NANDゲート54およびレベルシフト回路55により構成される。レベルシフト回路55は、内部電源電圧Vintを“H”レベルとするクロックを、“H”レベルが外部電源電圧Vext、“L”レベルが接地電位Vssである大振幅信号に変換するためのものである。この様に構成された電源電圧降下回路の動作を次に説明する。

【0022】図5は、外部電源電圧Vextと内部電源電圧Vintおよび基準電圧Vrefの関係である。外部電源電圧Vextが小さい間は、図2のダイオードD1、D2がオフ状態であって、外部電源電圧Vextに比例する基準電圧Vrefが得られ、外部電源電圧VextがダイオードD1、D2がオン状態になる値以上になると、外部電源電圧Vextに依存しない一定の基準電圧Vrefが得られる。図5の場合、基準電圧Vrefは完全に一定ではなく、図2の抵抗R11、R12の比で決まる小さい傾斜をもっている。差動増幅回路2は、出力部の抵抗R1、R2の接続ノードN1の電圧が基準電圧Vrefと一致するように出力トランジスタQp1を制御し、これにより、基準

5

電圧 V_{ref} に対して一定レベル高い内部電源電圧 V_{int} が出力ノード $N2$ に得られる。

【0023】図6は、出力電流補償用のPMOSトランジスタ $Qp1$ を制御するタイミング制御回路3の動作タイミングである。／RASが“H”レベルから“L”レベルに変化すると、遅延回路51によってこれから所定の遅延時間 $\tau1$ だけ遅れて“L”レベルになるクロック $\phi1$ が得られる。またインバータ52と遅延回路53によって、／RASが“L”レベルになったときに“H”レベルになり、“H”レベルになったときに一定の遅延時間 $\tau1$ をもって“L”レベルになるクロック $\phi2$ が得られる。これらのクロック $\phi1$ 、 $\phi2$ がNANDゲート54に入ることによって、その出力には／RASの“H”レベルから“L”レベルへの変化時、および“L”レベルから“H”レベルへの変化時にそれぞれ時間 $\tau1$ 、 $\tau2$ だけ“L”レベル= V_{ss} になるクロック $\phi3$ が得られる。ここまでは内部電源電圧 V_{int} で動作する。レベルシフト回路55によって、クロック $\phi3$ は外部電源電圧 V_{ext} を“H”レベルとするクロック $\phi4$ に変換される。

【0024】このタイミング制御回路3の出力クロック $\phi4$ により、出力電流補償用のPMOSトランジスタ $Qp2$ が制御される。即ち、／RASが“H”レベルから“L”レベルに変化した後の所定時間 $\tau1$ の間、および“L”レベルから“H”レベルに変化した後の所定時間 $\tau2$ の間、クロック $\phi4$ が V_{ss} になって出力電流補償用PMOSトランジスタ $Qp2$ がオンになる。これにより、／RASが変化して内部回路の消費電流が増大する時に、本来の出力トランジスタ $Qp1$ のみでは不足する電流供給能力がトランジスタ $Qp2$ によって補償されて、内部電源電圧 V_{int} の低下が防止ないし抑制される。

【0025】／RASが変化しない定常状態では、出力電流補償用PMOSトランジスタ $Qp2$ がオフであって、ここでの消費電流はない。従ってこの実施例によれば、電源電圧降下回路全体として消費電力を抑えながら、必要なときに十分に電流供給能力を与えることができる。

【0026】本発明は上記実施例に限られるものではない。例えば実施例では、DRAMに適用した場合であって、／RASの変化を検出してその立ち上がり、立ち下がり時に共に、所定時間ずつ電流補償用PMOSトランジスタ $Qp2$ をオン駆動するようにしたが、／RASの立ち上がり或いは立ち下がりのいずれか一方のみで電流補償を行うような制御をしても良い。またタイミング制御回路3は、／RAS以外の制御信号が入力されてもよい。

6

【0027】また実施例では、出力電流補償用のPMOSトランジスタ $Qp1$ を制御するクロック $\phi4$ を“H”レベル= V_{ext} から“L”レベル= V_{ss} 間で変化する大振幅信号としたが、これは出力電流補償用PMOSトランジスタ $Qp1$ を定常状態では完全にオフ状態を保ち、必要なときに十分なオン状態にするためである。しかしながらこの様になると、外部電源電圧 V_{ext} が変動すると出力電流補償用PMOSトランジスタ $Qp2$ の駆動力も大きく変動するので、内部電源電圧 V_{int} の変動が大きくなる恐れがある。これを防止するためには、例えば図4のレベルシフト回路55内にクロック $\phi4$ の振幅を制限するクランプ回路を内蔵することが有効である。

【0028】また実施例ではDRAMでの電源電圧降下回路を説明したが、本発明はDRAMに限らず、各種集積回路において、消費電流がある制御信号の変化に対応して大きく変化する場合に同様のタイミング制御を行う電源電圧降下回路を設けることにより、同様の効果が得られる。

【0029】

20 【発明の効果】以上述べたように本発明によれば、内部回路の消費電流変化に対応できる十分な応答速度を確保しながら、電源電圧降下回路の消費電流を小さく、したがって集積回路チップの消費電力を小さく保つことのできる電源電圧降下回路を内蔵した集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るDRAMの電源電圧降下回路の構成を示す図。

【図2】同実施例の基準電圧発生回路の構成を示す図。

【図3】同実施例の差動増幅回路の構成を示す図。

【図4】同実施例のタイミング制御回路の構成を示す図。

【図5】同実施例の内部電源電圧特性を示す図。

【図6】同実施例のタイミング制御回路の動作を示すタイミング図。

【図7】従来の電源電圧降下回路の構成例を示す図。

【符号の説明】

1…基準電圧発生回路、

2…差動増幅回路、

3…タイミング制御回路、

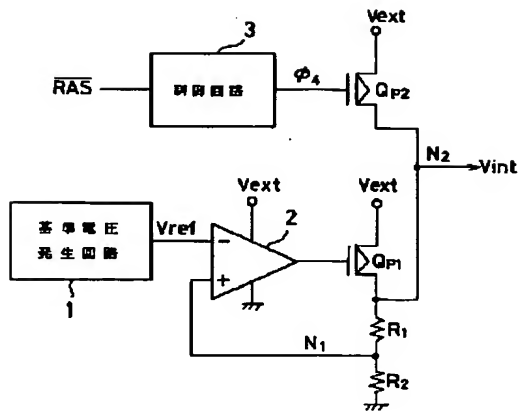
40 $Qp1$ …PMOS出力トランジスタ、

$Qp2$ …PMOS出力電流補償用トランジスタ、

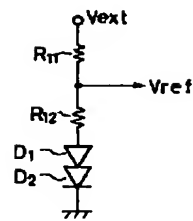
V_{ref} …外部電源電圧、

V_{int} …内部電源電圧。

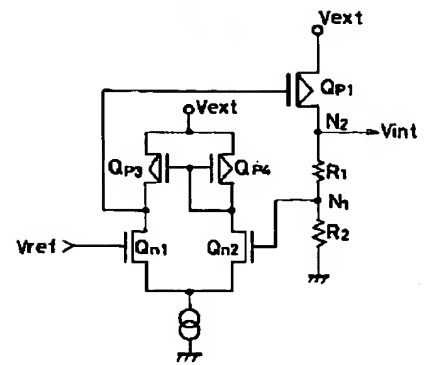
【図1】



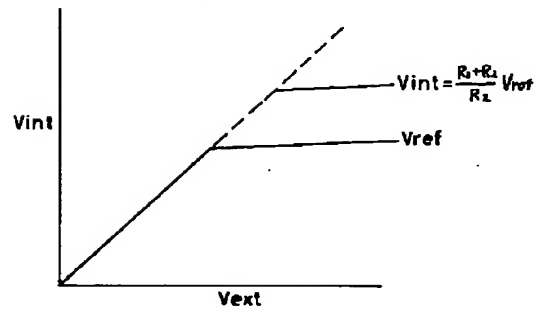
【図2】



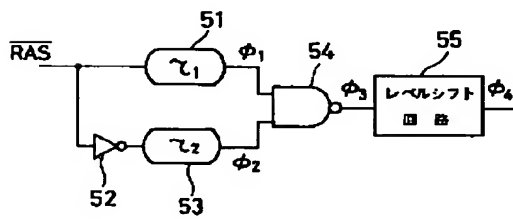
【図3】



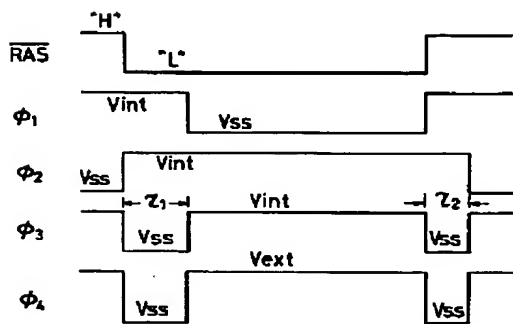
【図5】



【図4】



【図6】



【図7】

